

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-101803

(43)Date of publication of application : 07.04.2000

(51)Int.Cl.

H04N 1/19
H04N 1/028

(21)Application number : 10-271751

(71)Applicant : CANON INC

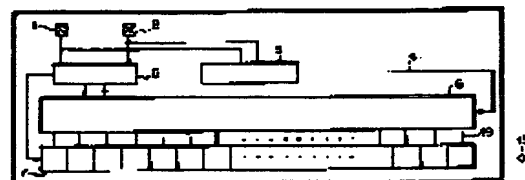
(22)Date of filing : 25.09.1998

(72)Inventor : KOZUKA HIRAKI

(54) PHOTOELECTRIC CONVERTER, AND IMAGE SENSOR USING THE CONVERTER AND IMAGE INPUT SYSTEM USING THE SENSOR**(57)Abstract:**

PROBLEM TO BE SOLVED: To attain multi-function and low cost by to generating a resolution control signal for controlling the resolution through the use of an external clock signal and a start signal thereby realizing resolution switching without the need for provision of a control terminal.

SOLUTION: A clock pulse and a start pulse received from input terminals 1, 2 are given to a shift register 6 to shift a signal in the shift register 6 depending on the clock pulse via a timing generating circuit 5. Simultaneously, both external pulses are also given to a resolution control signal generating circuit 3. In this case, the start pulse with a pulse width corresponding to a desired resolution is given to the circuit 3 whose output control signal is set to a high or a low level depending on the pulse width and the output control signal is given to the shift register 6 through a signal line 4. A read pulse from the shift register 6 is used to read a signal voltage generated in light receiving elements such as photo-diodes through photoelectric conversion in a light receiving element array 7 serially in time series and the signal voltage is outputted from an output terminal 18.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The photoelectrical inverter characterized by having a resolution control signal generation means to generate the resolution control signal which controls resolution using the input of said clock signal and said start signal in the photoelectrical inverter which controls actuation by the clock signal and start signal which are inputted from the outside.

[Claim 2] Said resolution control signal generation means is the photoelectrical inverter according to claim 1 characterized by generating said resolution control signal by changing the pulse width of said start signal.

[Claim 3] Said resolution control signal generation means is a photoelectrical inverter according to claim 1 or 2 characterized by generating at least two or more kinds of resolution control signals.

[Claim 4] They are the image sensors characterized by having a resolution control signal generation means to generate the resolution control signal with which said photoelectrical inverter controls resolution using the input of said clock signal and said start signal in the image sensors which mounted two or more photoelectrical inverters which control actuation by the clock signal and start signal which are inputted from the outside.

[Claim 5] Said resolution control signal generation means are the image sensors according to claim 4 characterized by generating said resolution control signal by changing the pulse width of said start signal.

[Claim 6] Said resolution control signal generation means are image sensors according to claim 4 or 5 characterized by generating at least two or more kinds of resolution control signals.

[Claim 7] It is the image input system characterized by to have a photoelectrical inverter driving pulse modulation means to by which said photoelectrical inverter driving means inputs a resolution switch signal in the image input system possessing a photoelectrical inverter equipped with the photoelectrical inverter driving means which controls actuation of a photoelectrical inverter by outputting a clock signal and a start signal, and a resolution control signal generation means generate the resolution control signal which controls resolution using the input of said clock signal and said start signal.

[Translation done.]

*** NOTICES ***

JPO and NCIP I are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to-dimensional [which has a resolution switch function / 1], the photoelectrical inverter which prepared the start signal input terminal and the clock signal input terminal in the two-dimensional photo-electric-translation chip, the contact type image sensor which mounted two or more them, and the image read-out system using it.

[0002]

[Description of the Prior Art] Development of the contact type image sensor using a twice system, such as having multi-mounted CCD using cutback optical system and two or more semi-conductor photosensor chips in the field of the photoelectrical inverter of a single dimension in recent years, is performed positively, a user switches the resolution of roughness and fineness in accordance with utilization conditions, and the contact type image sensor which can read an image is also proposed.

[0003] Drawing 7 is the circuit diagram of the integrated circuit for contact type image sensors proposed by JP,5-227362,A. In this conventional technique, when a control terminal (125) is prepared in an image-sensors chip and a user inputs the signal of Hi or Lo into that terminal, a shift register is controlled and resolution is switched.

[0004] If an outline is explained about the contact type image sensor hung up over drawing 7 , a start pulse SI and a clock pulse CLK will be supplied to the shift register group 104. If shift register group 104a is started by the start pulse SI, the output will be inputted into channel select switch 103a through NOR-gate121a and AND-gate 120a, will turn this ON, and will take out the signal from photo-cell 1a to signal-line 107a. Other shift registers 104b-104f carry out sequential starting, and output the signal from each photo cells 101b-101l. to 107a and 107b.

[0005] Here, if the control signal Hi is inputted into the control signal input terminal 125, analog switches 110a, 110b, 122a, and 122b will be changed, and a picture signal will be acquired by the image output terminal 111 by 16 dot [/mm] the consistency of reading. Moreover, if the control signal Lo is inputted into the control signal input terminal 125, analog switch 110a will always be in an ON state, and a picture signal will be acquired from photo-cell 101a by the image output terminal 111 by 8 dot [/mm] the consistency of reading of the one half of 101l. of the whole.

[0006] That is, in case an output picture signal is taken out outside, a part can be made to thin out and output with a control signal, although 101l. of total is always operating from photo-cell 101a on Sensor IC. Therefore, what the voltage level of a picture signal becomes always fixed, the configuration of the image-processing circuit of this image-sensors latter part is the conventional thing, and the response of it is attained for is indicated.

[0007]

[Problem(s) to be Solved by the Invention] However, since the above-mentioned conventional contact type image sensor multi-mounts two or more chips on a mounting substrate, it has the problem that a manufacturing cost becomes high, by using the above-mentioned conventional technique.

[0008] That is, since the number of terminals required for a resolution switch increases and a wire-bonding process increases, one is the problem that these image sensors carry out a cost rise.

[0009] When the example of the conventional technique is given, also at the lowest, a terminal required for the signal transduction of a chip and the exterior Six (the start pulse output terminal SO connected to the supply voltage input terminals VDD and GND of a photoelectrical inverter, the start

pulse input terminals SI and CLK of photoelectrical inverter 1 chip, and the start pulse input terminal SI of degree chip, and a picture signal) per one chip The output terminal SIG to output is required, and if 15 chips are multi-mounting at one train, a total of 90 wirebonding is required. When using the above-mentioned conventional technique for this, supposing one wirebonding per further 1 chip is added for a control terminal required for a resolution switch, a total of 105 wirebonding is needed. [0010] Moreover, since wiring on a mounting substrate increases, it is not avoided that a mounting substrate becomes large compared with the case where there is no control terminal, but it also has the cost rise produced by newly preparing wiring of a control terminal on a mounting substrate further.

[0011] Therefore, when realizing a resolution switch of a contact type image sensor using the conventional technique, the problem that a manufacturing cost will become high is not avoided as compared with the case where there is no resolution switch.

[0012] (The object of invention) Without preparing a control terminal as shown in the above-mentioned conventional technique, the object of this invention is what proposes the new configuration which realizes a resolution switch of a photoelectrical inverter, and is to offer a photoelectrical inverter cheap at various functions.

[0013]

[Means for Solving the Problem] In order to solve the above-mentioned problem, the photoelectrical inverter of this invention is characterized by having a resolution control signal generation means to generate the resolution control signal which controls resolution using the input of said clock signal and said start signal in the photoelectrical inverter which controls actuation by the clock signal and start signal which are inputted from the outside.

[0014] Moreover, in the image sensors which mounted two or more photoelectrical inverters which control actuation by the clock signal and start signal into which the image sensors of this invention are inputted from the outside, said photoelectrical inverter is characterized by having a resolution control signal generation means to generate the resolution control signal which controls resolution using the input of said clock signal and said start signal.

[0015] Furthermore, when the image input system of this invention outputs a clock signal and a start signal, said photoelectrical inverter driving means is characterized by to have a photoelectrical inverter driving pulse modulation means input a resolution switch signal in the image input system possessing a photoelectrical inverter equipped with the photoelectrical inverter driving means which controls actuation of a photoelectrical inverter, and a resolution control signal generation means generate the resolution control signal which controls resolution using the input of said clock signal and said start signal.

[0016] (Operation) This invention has a resolution switch function, without preparing a control terminal, in order to generate the control signal of a resolution switch using the clock signal and start signal of a photoelectrical inverter indispensable to motion control.

[0017]

[Embodiment of the Invention] Hereafter, the operation gestalt of this invention is explained using a drawing.

[0018] (Operation gestalt 1) Drawing 1 is the circuit block diagram of one chip containing the optoelectric transducer in the photoelectrical inverter in the operation gestalt 1 of this invention.

[0019] In drawing 1, the photo-electric-translation chip containing an optoelectric transducer the clock (CLK) input terminal 1 which inputs a clock pulse from the exterior -- and A start pulse The start pulse to input (SP) the control signal according to an input terminal 2 and resolution The signal generation circuit 3 to generate and its control signal It consists of a timing generating circuit 5 which generates the timing which operates the signal line (ϕM) 4 to output, a shift register 6, and a shift register, a photo detector array 7 which carries out photo electric translation, and an output terminal 18 which takes out the output of each optoelectric transducer.

[0020] Below, actuation of this operation gestalt is explained.

[0021] In order to operate a photoelectrical inverter, a clock pulse is supplied for a start pulse to a shift register 6 through the timing generating circuit 5 again through the clock (CLK) input terminal 1 through the start pulse (SP) input terminal 2, respectively from the exterior of an optoelectric transducer. A shift register 6 shifts a signal according to a clock.

[0022] Moreover, the above-mentioned start pulse and a clock are inputted also into the signal

generation circuit 3. Here, a start pulse is inputted with the pulse width according to the resolution of hope by a user's selection, and control signal ϕ_{iM} is set to Hi or Lo with this input pulse width of face. Control signal ϕ_{iM} generated in the signal generation circuit 3 is supplied to a shift register 6 through a signal line 4. About the control signal supplied to this shift register 6, it mentions later using drawing 2.

[0023] Furthermore, that the shift register 6 of this operation gestalt should just be a circuit which it shifts 1 bit at a time according to a clock Using what furthermore advanced, for example, consisted of shift register blocks is also considered. When it consists of shift register blocks which are 8-pixel 1 block concretely, at the time of high resolution, the photoelectrical load of an optoelectric transducer is read by 2 pixels 1 bit by 2-pixel addition in the time of 1-pixel 1 bit and a low resolution. In addition, a capacitive component rate addition method can be used in this case, and it is indicated by JP,4-4682,A about this, for example.

[0024] Moreover, in the photo detector array 7, reading appearance of the signal level generated by photo electric translation in photo detectors, such as non-illustrated photo diode, is serially carried out by the read-out pulse from a shift register 6, and it is outputted from an output terminal 18.

[0025] Drawing 2 is the representative circuit schematic of the signal generation circuit 3 shown in drawing 1, and drawing 3 is the timing chart of the signal generation circuit 3 shown in drawing 2.

[0026] 8 and 9 in drawing are the delay circuit of the signal generation circuit 3 interior. This circuit is used in order to obtain the pulse wave of the A point shown in drawing 3, it sets an A point to Hi from the down edge of a start pulse at the time of fixed time amount progress, detects Hi or Lo of the clock at that time, and controls a resolution control signal.

[0027] It explains mixing the wave in e points from a points which took up in order to use the timing chart of drawing 3 and to acquire the wave in the A point in drawing about actuation of the signal generation circuit 3 next.

[0028] Moreover, in this operation gestalt, for example, the time delay of a delay circuit 9 is set to about 100ns for the time delay of a delay circuit 8 for about 200ns, the clock is set to 500ns, and according to resolution, a start pulse changes pulse width and inputs it into a photoelectrical inverter.

[0029] The start pulse inputted into the signal generation circuit 3 is first delayed by a points for 200ns by the delay circuit 8, and is further delayed by b points for 100ns by the delay circuit 9. In c points, it starts simultaneously with b with a points and b point a NAND circuit, and falls to a points and coincidence. In the A point which became c points and reverse, therefore went through the AND circuit, to falling of a start pulse, it starts after the time delay of a delay circuit 8, and the pulse which falls with the pulse width of a delay circuit 9 is generated in e points.

[0030] By the pulse of this A point, the clock pulse which went through the buffer is sampled in a switching circuit, the value at that time is held to a capacitor, and control signal ϕ_{iM} is outputted.

[0031] Therefore, the pulse of the pulse width to which the start pulse SP inputted into the signal generation circuit 3 deserves the time delay of a delay circuit 9 after time delay progress of a delay circuit 8 from the time of the down edge of a start pulse in an A point is generated.

[0032] That is, it becomes possible, since it starts to a fixed period to the down edge of a start pulse in an A point to control the condition of a resolution control signal by whether a clock is sampled at the time of Hi, or it samples at the time of Lo, since it becomes possible to make it change by controlling the down edge of a start pulse of the location of the pulse. At the time of a sampling, when a clock is Lo, a control signal is specifically maintained to Lo with the capacitor in drawing 2, and on the other hand, when a clock is Hi, this signal is too set to Hi with a capacitor.

[0033] In the scanning line 19 which the above-mentioned signal is supplied to a shift register 6 next, and connects with the photo detector array 7, although it reads the one scanning line at a time one by one at the time of high resolution, at the time of a low resolution, the two adjoining scanning lines are read as 1 set, the configuration which reads the following 1 set continuously is taken, and, thereby, a resolution switch is carried out.

[0034] In addition, although the delay circuit of CR which used resistance and capacity is used for the delay circuits 8 and 9 in this operation gestalt, the delay circuit in which two or more steps of inverters were formed so that the same result might be obtained is sufficient as them. Furthermore, in this operation gestalt, it is not limited to this numeric value that what is necessary is just to define the time delay of a delay circuit 1 according to the period of a clock pulse although the time delay of

about 200ns and a delay circuit 2 is set to about 100ns.

[0035] Furthermore, in this operation gestalt 1, although the photo detector array 7 is formed in the resolution of 600dpi at the time of Lo, it has composition which the resolution of 300dpi is chosen and can read a signal by the change of the conversion signal of resolution when this control signal is set to Hi.

[0036] The relation between a resolution control signal and resolution is illustrated below.

[0037]

Resolution control signal Resolution Lo 600dpiHi A means which is 300dpi to generate the signal of [high level/low level] from a start pulse and a clock to arbitration using other means may be used for this operation gestalt, and it is not limited to this operation gestalt. Moreover, although the example of [600dpi / 300dpi] was shown in [high level/low level] also about resolution, it is applicable similarly in the resolution of [400dpi / 200dpi], for example. Moreover, the number of resolution hung up above is instantiation, and setting out of it is possible for arbitration in accordance with the objects, such as a user.

[0038] Furthermore, it is possible not only the photoelectrical inverter used for a contact type image sensor but to apply this invention to resolution control of an area sensor.

[0039] (Operation gestalt 2) Drawing 4 is the circuit block diagram of the photoelectrical inverter in the operation gestalt 2 of this invention, and drawing 5 is the timing chart of a signal generation circuit.

[0040] In drawing 4, the photo-electric-translation chip whose operation gestalt of this contains an optoelectric transducer Signal generation circuit 3' which generates the control signal according to the start pulse SP input terminal 2 which inputs the clock CLK input terminal 1 and start pulse which input a clock pulse from the exterior, and resolution, And the signal It consists of photo detector arrays 7 for the timing generating circuit 5 which generates the timing which operates two kinds of signal lines (phiM1) 10 and 11 (phiM2) to read, the shift register 6 which shifts a signal one by one according to a clock pulse, and a shift register 6, and photo electric translation.

[0041] Hereafter, actuation of this operation gestalt is explained.

[0042] First, the start pulse as which a start pulse and a clock pulse are supplied to signal generation circuit 3', and are inputted into signal generation circuit 3' like the above-mentioned operation gestalt 1 changes the pulse width according to resolution, and inputs it into a photoelectrical inverter.

[0043] In this operation gestalt 2, by generating a resolution switch signal with the number of clock pulses into which a start pulse is inputted at the period of Hi, signal generation circuit 3' outputs four kinds of resolution switch signals, and inputs them into a shift register 6.

[0044] Especially the shift register 6 is not what is limited here. Like the above-mentioned operation gestalt 1 for example If four kinds of this resolution is made into resolution 1-4 when it consists of 8-pixel blocks [shift register] which are 1 block the time of resolution 1 -- the time of 1-pixel 1 bit and resolution 2 -- 2-pixel addition -- at the time of 2-pixel 1 bit and resolution 3, reading appearance of the signal is carried out by 8 pixels 1 bit by 8-pixel addition in the time of 4-pixel 1 bit and resolution 4 by 4-pixel addition.

[0045] Moreover, in the photo detector array 7, it reads from a shift register, and reading appearance of the signal level generated by photo electric translation in photo detectors, such as non-illustrated photo diode, is serially carried out by the pulse, and it is outputted from an output terminal 18.

[0046] Drawing 5 is the timing chart of the clock pulse CLK in each resolution, a start pulse SP, and a control signal (phiM1, phiM2).

[0047] When the number of the clocks inputted with the pulse width of a start pulse in order for a start pulse to change the pulse width according to resolution as above-mentioned and to input differs and a control signal phiM1 and phiM2 use a decoder etc. according to it, it is made to be set to Hi or Lo, respectively. In the case of resolution 1, in the case of resolution 2, the scanning line 19 for [every] for the electrical potential difference by which controlled the shift register 6 by the control signal phiM1 and change of phiM2, and photo electric translation was carried out in the photo detector array 7 as 2 sets [1] The resolution switch is realized by reading [in the case of resolution 3] as 4 sets [1] as 3 sets [1] in the case of resolution 4. In addition, in this operation gestalt, the photoelectrical inverter shown in drawing 4 is 30 chip multi-mounted on a ceramic mounting substrate, and the contact type image sensor is formed.

[0048] Here, since it will be necessary to prepare two signal lines on a mounting substrate when a

control signal terminal is prepared in each photoelectrical inverter, in the former, mounting substrate width of face was able to be mounted on the mounting substrate of 8mm width of face by removing the unnecessary terminal of control terminal 125 grade, when the photoelectrical inverter of this operation gestalt was used to having been required 10mm. Moreover, by this invention, when it thinks that it prepares two input terminals of a start pulse and a clock pulse at a time in 15 chips like the operation gestalt 1 to the case where a control signal terminal is prepared in each photoelectrical inverter, the 60 number of wirebonding can be lessened as a contact type image sensor, and a cheap photoelectrical inverter can be realized.

[0049] In addition, in this operation gestalt, although the photo detector array 7 shows the example formed in the resolution of 1200dpi, it has composition which the resolution of 600dpi, 300dpi, and 150dpi is chosen as a control signal ($\phi M1$) and a control signal ($\phi M2$), and can read a signal to them more. However, the numeric value of resolution is instantiation and it cannot be overemphasized that it is not limited to this.

[0050] In addition, it illustrates below by considering the above-mentioned control signal and relation of resolution as reference.

[0051]

Resolution mode A control signal Resolution $\phi M1$ $\phi M2$ Resolution 1 L L 1200dpi Resolution 2 H L 600dPi(s) Resolution 3 L H 300dPi(s) Resolution 4 H H 150 dPi, further, although this operation gestalt has realized four kinds of resolution concretely with two kinds of control signals The number of resolution signals is instantiation and it is also possible to obtain further much resolution with the number of the resolution signals of arbitration. In the future by technical progress Rather than current resolution, it is also considered that the resolution of high density is obtained further and it can assume obtaining much resolution according to want of the user at that time.

[0052] (Operation gestalt 3) Drawing 6 is the image input system using the photoelectrical inverter explained in the operation gestalt 1 or the operation gestalt 2.

[0053] Image ***** of this operation gestalt 3 consists of a driving pulse modulation means 15 inside [driving means 14] the above modulate the clock inputted into the driving means 14 which controls actuation of a photoelectrical inverter, a signal generation means 3 generate the signal which changes resolution, using this clock signal and this start signal as an input signal or the photoelectrical inverter which has 3', and a photoelectrical inverter, and a start pulse, and the light source 13, by outputting a clock signal and a start signal.

[0054] Next, actuation of this operation gestalt is explained.

[0055] The width of face of a start pulse is modulated by making pulse width fluctuate using a logical circuit using the driving pulse modulation means 15 which is outputted from external CPU17, for example, is in a driving means 14 about the 2-bit resolution switch signal inputted from two signal lines.

[0056] That is, whether the driving pulse modulation means 15 inputs Lo signal for whether Hi signal is inputted into a photoelectrical inverter adjusts the width of face of a start pulse. For example, when inputting Hi signal, it is short, and in the case of Lo signal, it compares with Hi signal, the width of face of a start pulse is set up for a long time, and the pulse width of a start pulse is inputted into the photoelectrical inverter 20.

[0057] Moreover, in the driving means 14, as other functions, a scan is made to start from CPU17, or in response to the fact that motorised, the light source, sensor actuation, etc. are driven. Moreover, the photoelectrical inverter 20 is the same as that of what was explained with the operation gestalt 1.

[0058] Furthermore, the made signal is incorporated by CPU17 by the path cord by which, as for the output signal from the photoelectrical inverter 20, processing of waveform shaping, a shading compensation, dark amendment, etc. was made with the signal-processing means 16, and after that and processing were connected to CPU17. The light source 13 irradiates the object section using the 3 light sources of red, green, and blue at the time of color picture read-out of the source of the white light at the time of monochrome image read-out.

[0059] In addition, since the start pulse inputted into the photoelectrical inverter 20 modulates the pulse width of a start pulse by a user's selection with a driving pulse modulation means and it inputs with Hi or Lo signal, the actuation explained in the above-mentioned operation gestalten 1 and 2 is obtained, and the photoelectrical inverter 20 can realize image input system which has the

photoelectrical inverter which reduces terminals and has a resolution switch means.

[0060]

[Effect of the Invention] Since the control terminal for the required resolution switch becomes unnecessary with the above-mentioned conventional technique since a resolution control signal generation means to by which this invention considers a clock signal and a start signal as an input has been established as shown above, and it becomes that it is possible in adding a resolution switch function, without raising a manufacturing cost since it becomes possible to manufacture like the conventional photoelectrical inverter which does not have a resolution switch function consequently, it is greatest in the effectiveness. In addition, if it takes into consideration creating the photoelectrical inverter which can choose much resolution in the future, much more effectiveness is expectable.

[Translation done.]

*** NOTICES ***

JP0 and NCIP1 are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the circuit block diagram of the photoelectrical inverter in the operation gestalt 1 of this invention.

[Drawing 2] It is the representative circuit schematic of the signal generation circuit shown in the operation gestalt 1.

[Drawing 3] It is the timing chart of the signal generation circuit shown in the operation gestalt 1.

[Drawing 4] It is the circuit block diagram of the photoelectrical inverter in the operation gestalt 2 of this invention.

[Drawing 5] It is the timing chart of the signal generation circuit shown in the operation gestalt 2.

[Drawing 6] It is the circuit block diagram of the photoelectrical inverter in the operation gestalt 3 of this invention.

[Drawing 7] It is the circuit diagram of the integrated circuit for contact type image sensors of the conventional technique.

[Description of Notations]

1 Clock (CLK) Input Terminal

2 Start Pulse (SP) Input Terminal

3 3' Signal generation circuit

4 Control Signal Line (PhiM)

5 Timing Generating Circuit

6 Shift Register

7 Photo Detector Array

8 Delay Circuit (1)

9 Delay Circuit (2)

10 Control Signal Line 1 (PhiM1)

12 Control Signal Line 2 (PhiM2)

13 Light Source

14 Driving Means

15 Driving Pulse Modulation Means

16 Signal-Processing Means

17 CPU

18 Output Terminal

19 Scanning Line

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-101803

(P2000-101803A)

(43) 公開日 平成12年4月7日 (2000.4.7)

(51) Int.Cl.

識別記号

F I

テマコード (参考)

H 0 4 N 1/19

H 0 4 N 1/04

1 0 2

5 C 0 5 1

1/028

1/028

A 5 C 0 7 2

審査請求 未請求 請求項の数 7 O L (全 9 頁)

(21) 出願番号 特願平10-271751

(22) 出願日 平成10年9月25日 (1998.9.25)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 小塚 関

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(74) 代理人 100065385

弁理士 山下 穰平

Fターム (参考) 5C051 AA01 BA04 DA03 DB01 DB08

DB09 DC03 DE02 DE03 DE12

EA03

5C072 AA01 BA02 EA05 EA07 FB08

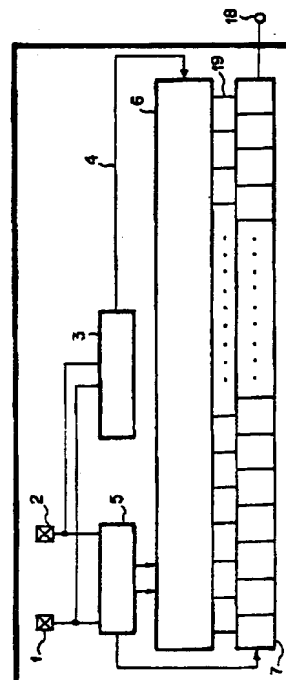
FB23 TA05

(54) 【発明の名称】 光電変換装置、及びそれを用いたイメージセンサ/及びそれを用いた画像入力システム

(57) 【要約】

【課題】 新規にコントロール端子を設けることなく、
光電変換装置の解像度切り換えを実現する新規な構成を
提案することにより、多機能でかつ安価な光電変換装置
を提供することを課題とする。

【解決手段】 外部から入力されるクロック信号及びス
タート信号により動作を制御する光電変換装置におい
て、前記クロック信号及び前記スタート信号の入力を用
いて解像度を制御する解像度制御信号を生成する解像度
制御信号生成手段を有することを特徴とする。



6: シフトレジスタ
7: 受光素子アレイ
1: クロック入力端子
2: スタートパルス入力端子
3: 解像度制御信号生成回路
4: 解像度制御信号線
5: タイミング発生回路
18: 出力端子
19: 走査線

【特許請求の範囲】

【請求項1】 外部から入力されるクロック信号及びスタート信号により動作を制御する光電変換装置において、

前記クロック信号及び前記スタート信号の入力を用いて解像度を制御する解像度制御信号を生成する解像度制御信号生成手段を有することを特徴とする光電変換装置。

【請求項2】 前記解像度制御信号生成手段は、前記スタート信号のパルス幅を変えることにより、前記解像度制御信号を生成することを特徴とした請求項1に記載の光電変換装置。

【請求項3】 前記解像度制御信号生成手段は、少なくとも2種類以上の解像度制御信号を生成することを特徴とする請求項1又は2に記載の光電変換装置。

【請求項4】 外部から入力されるクロック信号及びスタート信号により動作を制御する光電変換装置を複数実装したイメージセンサにおいて、前記光電変換装置は、前記クロック信号及び前記スタート信号の入力を用いて解像度を制御する解像度制御信号を生成する解像度制御信号生成手段を有することを特徴とするイメージセンサ。

【請求項5】 前記解像度制御信号生成手段は、前記スタート信号のパルス幅を変えることにより、前記解像度制御信号を生成することを特徴とした請求項4に記載のイメージセンサ。

【請求項6】 前記解像度制御信号生成手段は、少なくとも2種類以上の解像度制御信号を生成することを特徴とする請求項4又は5に記載のイメージセンサ。

【請求項7】 クロック信号とスタート信号を出力することにより光電変換装置の動作を制御する光電変換装置駆動手段と、前記クロック信号及び前記スタート信号の入力を用いて解像度を制御する解像度制御信号を生成する解像度制御信号生成手段とを備える光電変換装置を具備する画像入力システムにおいて、前記光電変換装置駆動手段は、解像度切り換え信号を入力する光電変換装置駆動パルス変調手段を備えることを特徴とする画像入力システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、解像度切り換え機能を有する1次元、及び2次元の光電変換チップにスタート信号入力端子及びクロック信号入力端子を設けた光電変換装置及び、それを複数実装した密着型イメージセンサ、及びそれを用いた画像読み出しシステムに係わるものである。

【0002】

【従来の技術】近年、一次元の光電変換装置の分野においては、縮小光学系を用いたCCDや、複数の半導体光センサチップをマルチ実装した、等倍系を用いた密着型イメージセンサの開発が積極的に行われており、ユーザ

が利用条件にあわせて粗密の解像度を切り換えて、画像を読みとることができる密着型イメージセンサも提案されている。

【0003】図7は特開平5-227362号公報に提案されている密着型イメージセンサ用集積回路の回路図である。この従来技術においては、イメージセンサチップにコントロール端子(125)を設け、その端子にユーザが、HiまたはLoの信号を入力することにより、シフトレジスタを制御し、解像度を切り換えるものである。

【0004】図7に掲げる密着型イメージセンサについて概略を説明すると、スタートパルスSIと、クロックパルスCLKとをシフトレジスタ群104に供給する。スタートパルスSIによってシフトレジスタ群104aが起動されると、その出力はNORゲート121aおよびANDゲート120aを通してチャンネルセレクトスイッチ103aに入力され、これをオンにしフォトセル1aからの信号を信号ライン107aに取り出す。他のシフトレジスタ104b~104fも順次起動していき、各フォトセル101b~101fからの信号を107a、107bに出力する。

【0005】ここで、コントロール信号入力端子125にコントロール信号Hiが入力されると、アナログスイッチ110a、110b、122a、122bが切り替えられ、画像出力端子111に例えば、16ドット/ミリの読み取り密度で画像信号が得られる。また、コントロール信号入力端子125にコントロール信号Loが入力されると、アナログスイッチ110aが常にオン状態となり、画像出力端子111にはフォトセル101aから101f全体の半分の8ドット/ミリの読み取り密度で画像信号が得られる。

【0006】つまり、センサIC上のフォトセル101aから101fは常に全数が動作しているが、外部に出力画像信号を取り出す際に、コントロール信号によって一部を間引いて出力させることができる。そのため、画像信号の電圧レベルは常に一定となり、該イメージセンサ後段の画像処理回路の構成は従来のもので対応が可能となる、ことが記載されている。

【0007】

【発明が解決しようとする課題】しかしながら、上記従来の密着型イメージセンサは、複数のチップを実装基板上にマルチ実装するため、上記の従来技術を用いることにより製造コストが高くなるという問題がある。

【0008】すなわち、1つは、解像度切り換えに必要な端子の数が増加し、ワイヤーボンディング工程が増加するため、該イメージセンサがコストアップするという問題である。

【0009】従来技術の例をあげると、最低でも、チップと外部との信号伝達に必要な端子は、1チップあたり6ヵ所(光電変換装置の電源電圧入力端子VDD、GN

D、光電変換装置1チップのスタートパルス入力端子S I、CLK、次チップのスタートパルス入力端子S Iに接続されるスタートパルス出力端子S O、画像信号を出力する出力端子S I G)が必要であり、仮に15チップを1列にマルチ実装とすると、計90ヵ所のワイヤボンディングが必要である。これに、上記従来技術を用いる場合は、解像度切り換えに必要なコントロール端子が、更に1チップあたり1ヵ所のワイヤボンディングが追加されるとすると、合計105ヵ所のワイヤボンディングが必要となる。

【0010】また、実装基板上の配線が増加するため、コントロール端子が無い場合に比べて実装基板が大きくなることは避けられず、さらには、実装基板上に新たにコントロール端子の配線を設けることにより生じるコストアップもある。

【0011】従って、従来技術を用いて密着型イメージセンサの解像度切り換えを実現する場合は、解像度切り換えが無い場合と比較して、製造コストが高くなってしまいうという問題は避けられない。

【0012】(発明の目的)本発明の目的は、上記従来技術に示すようなコントロール端子を設けることなく光電変換装置の解像度切り換えを実現する新規な構成を提案するものであり、かつ、多機能でかつ安価な光電変換装置を提供することにある。

【0013】

【課題を解決するための手段】上記の問題を解決するために、本発明の光電変換装置は、外部から入力されるクロック信号及びスタート信号により動作を制御する光電変換装置において、前記クロック信号及び前記スタート信号の入力を用いて解像度を制御する解像度制御信号を生成する解像度制御信号生成手段を有することを特徴とする。

【0014】また、本発明のイメージセンサは、外部から入力されるクロック信号及びスタート信号により動作を制御する光電変換装置を複数実装したイメージセンサにおいて、前記光電変換装置は、前記クロック信号及び前記スタート信号の入力を用いて解像度を制御する解像度制御信号を生成する解像度制御信号生成手段を有することを特徴とする。

【0015】さらに、本発明の画像入力システムは、クロック信号とスタート信号を出力することにより光電変換装置の動作を制御する光電変換装置駆動手段と、前記クロック信号及び前記スタート信号の入力を用いて解像度を制御する解像度制御信号を生成する解像度制御信号生成手段とを備える光電変換装置を具備する画像入力システムにおいて、前記光電変換装置駆動手段は、解像度切り換え信号を入力する光電変換装置駆動パルス変調手段を備えることを特徴とする。

【0016】(作用)本発明は、光電変換装置の動作制御に必要不可欠なクロック信号とスタート信号を用いて

解像度切り換えの制御信号を生成するため、コントロール端子を設けることなく、解像度切り換え機能を有する。

【0017】

【発明の実施の形態】以下、本発明の実施形態を図面を用いて説明する。

【0018】(実施形態1)図1は、本発明の実施形態1における光電変換装置内の光電変換素子を含む1チップの回路ブロック図である。

10 【0019】図1において、光電変換素子を含む光電変換チップは、外部からクロックパルスを入力するクロック(CLK)入力端子1及び、スタートパルスを入力するスタートパルス(SP)入力端子2、解像度に応じた制御信号を生成する信号生成回路3、及びその制御信号を出力する信号線(ΦM)4、シフトレジスタ6、シフトレジスタを作動させるタイミングを発生させるタイミング発生回路5、光電変換する受光素子アレイ7、各々の光電変換素子の出力を取り出す出力端子18から構成されている。

20 【0020】つぎに、本実施形態の動作を説明する。

【0021】光電変換装置を作動させるため、光電変換素子の外部からスタートパルス(SP)入力端子2を介してスタートパルスを、またクロック(CLK)入力端子1を介してクロックパルスを、それぞれタイミング発生回路5を通じてシフトレジスタ6に供給する。シフトレジスタ6は、クロックに応じて信号をシフトする。

【0022】また、上記スタートパルス及びクロックは、信号生成回路3にも入力される。ここで、スタートパルスはユーザの選択により希望の解像度に応じたパルス幅で入力され、該入力パルス幅により制御信号φ_nがHiまたはLoとなる。信号生成回路3で生成された制御信号φ_nは、信号線4を介して、シフトレジスタ6に供給される。このシフトレジスタ6に供給される制御信号については、図2を用いて後述する。

30 【0023】さらに、本実施形態のシフトレジスタ6は、クロックに応じて1ビットずつシフトする回路であればよく、さらに進めて、例えば、シフトレジスタブロックから構成されたもの等を用いることも考えられ、具体的に8画素分1ブロックであるシフトレジスタブロックから構成されている場合には、高解像度の時では1画素1ビット、低解像度の時では2画素加算により2画素1ビットで、光電変換素子の光電荷を読み出している。なお、この際に容量分割加算方式を用いることができ、これについては、例えば、特開平4-4682号公報に開示されている。

40 【0024】また、受光素子アレイ7では、不図示のホトダイオード等の受光素子において光電変換により生成された信号電圧がシフトレジスタ6からの読み出しパルスによって、時系列的にシリアルに読み出され、出力端子18から出力される。

【0025】図2は、図1に示した信号生成回路3の等価回路図であり、図3は、図2に示した信号生成回路3のタイミングチャートである。

【0026】図中の8及び9は、信号生成回路3内部の遅延回路である。本回路は、図3に示すA点のパルス波を得るために用いるものであり、スタートパルスのダウンエッジから一定時間経過時にA点をHiにして、そのときのクロックのHiまたは、Loを検出し、解像度制御信号を制御する。

【0027】つぎに、信号生成回路3の動作について、図3のタイミングチャートを用いて、図中のA点での波形を得るべくピックアップしたa点からe点での波形を交えながら説明する。

【0028】また、本実施形態においては、例えば、遅延回路8の遅延時間を約200nsec、遅延回路9の遅延時間を約100nsecとしており、クロックは500nsecとしてあり、スタートパルスは解像度に応じて、パルス幅を変えて光電変換装置に入力する。

【0029】信号生成回路3に入力されたスタートパルスは、a点では遅延回路8によって、まず200ns遅延され、b点ではさらに遅延回路9によって100ns遅延される。c点では、NAND回路によりa点及びb点によりbと同時に立ち上がり、また、a点と同時に立ち下がる。e点ではc点と逆になり、したがって、AND回路を経過したA点においては、スタートパルスの立ち下がりに対して、遅延回路8の遅延時間後に立ち上がり、遅延回路9のパルス幅で立ち下がるパルスが生成される。

【0030】このA点のパルスで、バッファを経過したクロックパルスをスイッチ回路でサンプリングし、そのときの値をキャパシタに保持して、制御信号φ_nを出力する。

【0031】したがって、信号生成回路3に入力したスタートパルスSPは、A点においては、スタートパルスのダウンエッジ時から、遅延回路8の遅延時間経過後に、遅延回路9の遅延時間に値するパルス幅のパルスが生成される。

【0032】すなわち、A点では、スタートパルスのダウンエッジに対して、一定期間に立ち上がるから、そのパルスの位置は、スタートパルスのダウンエッジを制御することにより変化させることが可能となるため、クロックをHiの時にサンプリングするか、Loの時にサンプリングするかによって解像度制御信号の状態を制御することが可能となる。具体的には、サンプリング時にクロックがLoの場合には、図2中のキャパシタによって制御信号をLoに維持し、一方、クロックがHiの場合には、やはり、キャパシタによって、該信号をHiにする。

【0033】つぎに、上記信号は、シフトレジスタ6に供給されて、受光素子アレイ7と接続する走査線19に

において、たとえば、高解像度時には、走査線1本ずつ順次読み出していくが、低解像度時には、隣接する2つの走査線を1組として読みだし、続いて次の1組を読みだす構成をとり、これにより解像度切り換えをする。

【0034】なお、本実施形態における遅延回路8、及び9は、抵抗と容量を用いたCRの遅延回路を用いているが、同様の結果が得られるような、例えばインバータを複数段設けた遅延回路でも構わない。さらに、本実施形態においては、遅延回路1の遅延時間を約200nsec、遅延回路2の遅延時間を約100nsecとしているが、クロックパルスの周期に応じて定めればよくこの数値に限定されるものでない。

【0035】さらに、本実施形態1においては、受光素子アレイ7は例えば、Loの時には、600dpiの解像度で形成されているが、解像度の変換信号の切り替えにより、該制御信号をHiにしたときは、300dpiの解像度を選択して信号を読み出すことが可能な構成となっている。

【0036】解像度制御信号と解像度の関係を以下に例示する。

【0037】

解像度制御信号	解像度
Lo	600dpi
Hi	300dpi

なお、本実施形態は、他の手段を用いてスタートパルスとクロックから[ハイレベル/ローレベル]の信号を任意に生成する手段を用いても良く、この実施形態に限定されるものではない。また、解像度についても、[ハイレベル/ローレベル]に[600dpi/300dpi]の例を示したが、例えば、[400dpi/200dpi]の解像度でも同様に適用できる。また、上記に掲げた解像度数は例示であり、ユーザ等の目的にあわせて任意に設定ができる。

【0038】さらには、密着型イメージセンサに用いる光電変換装置のみならず、エリアセンサの解像度制御に本発明を適用することも可能である。

【0039】(実施形態2) 図4は本発明の実施形態2における光電変換装置の回路ブロック図であり、図5は信号生成回路のタイミングチャートである。

【0040】図4において、本実施形態は、光電変換素子を含む光電変換チップは、外部からクロックパルスを入力するクロックCLK入力端子1及びスタートパルスを入力するスタートパルスSP入力端子2、解像度に応じた制御信号を生成する信号生成回路3、及びその信号を読み出す2種類の信号線(Φ_{m1})10、(Φ_{m2})11、クロックパルスに応じて順次信号をシフトするシフトレジスタ6、シフトレジスタ6を動作させるタイミングを発生させるタイミング発生回路5、光電変換のための受光素子アレイ7から構成されている。

【0041】以下、本実施形態の動作について説明す

る。

【0042】まず、上記実施形態1と同様に、スタートパルス、クロックパルスが、信号生成回路3'に供給され、信号生成回路3'に入力されるスタートパルスは、解像度に応じてそのパルス幅を変えて光電変換装置に入力する。

【0043】本実施形態2においては、信号生成回路3'は、スタートパルスがHiの期間に入力されるクロックパルスの数によって解像度切り換え信号を生成することにより、4種類の解像度切り換え信号を出力し、シフトレジスタ6に入力する。

【0044】ここで、シフトレジスタ6は、特に限定されるものでなく、上記実施形態1と同様に例えば、8画素1ブロックであるシフトレジスタブロックから構成されている場合に、この4種類の解像度を解像度1から4とすれば、解像度1の時では1画素1ビット、解像度2の時では2画素加算により2画素1ビット、解像度3の時では4画素加算により4画素1ビット、解像度4の時では8画素加算により8画素1ビットで、信号を読み出している。

【0045】また、受光素子アレイ7では、不図示のホトダイオード等の受光素子において光電変換により生成された信号電圧がシフトレジスタから読み出しパルスによって時系列的にシリアルに読み出され出力端子18から出力される。

【0046】図5は各々の解像度におけるクロックパルスCLK、スタートパルスSP、及び制御信号(ΦM1、ΦM2)のタイミングチャートである。

【0047】前述の通り、スタートパルスは、解像度に応じてそのパルス幅を変えて入力するため、スタートパルスのパルス幅により入力されるクロックの数が異なり、それに伴って制御信号φ_{n1}、φ_{n2}が、デコーダ等を用いることにより、それぞれHiまたはLoとなるよう*

解像度モード	制御信号		解像度
	ΦM1	ΦM2	
解像度1	L	L	1200dpi
解像度2	H	L	600dpi
解像度3	L	H	300dpi
解像度4	H	H	150dpi

さらに、本実施形態は、2種類の制御信号により具体的に4種類の解像度を実現しているが、解像度信号の数は例示であり、任意の解像度信号の数によりさらに多くの解像度を得ることも可能であり、将来的には技術進歩により、現在の解像度よりも、さらに高密度の解像度を得られることも考えられ、そのときのユーザの要望に応じた多くの解像度を得ることが想定できる。

【0052】(実施形態3)図6は、実施形態1、または実施形態2において説明した光電変換装置を用いた画像入力システムである。

【0053】本実施形態3の画像読入力システムは、ク※50

*にする。制御信号φ_{n1}、φ_{n2}の変化によって、たとえば、シフトレジスタ6を制御し、受光素子アレイ7において光電変換された電圧を、走査線19を解像度1の場合には1本ごとに、解像度2の場合には、2本1組として、解像度3の場合には、3本1組として、解像度4の場合には、4本1組として読み出すことにより解像度切り換えを実現している。なお、本実施形態においては、図4に示した光電変換装置をセラミック実装基板上に30チップマルチ実装して密着型イメージセンサを形成している。

【0048】ここで、制御信号端子を各々の光電変換装置に設けた場合、2本の信号線を実装基板上に設ける必要が生じるため、従来では、実装基板幅は10mm必要であったのに対し、本実施形態の光電変換装置を用いた場合には、コントロール端子125等の不要な端子を取り除くことにより、8mm幅の実装基板上に実装可能であった。また、本発明により、制御信号端子を各々の光電変換装置に設けた場合に対して、スタートパルス、及びクロックパルスの入力端子2本ずつを、実施形態1と同様に15チップに設けると考えると、密着型イメージセンサとしてワイヤボンディングの数を60ヶ所少なくすることができ、安価な光電変換装置が実現できることとなる。

【0049】なお、本実施形態においては、受光素子アレイ7は1200dpiの解像度で形成された例を示しているが、制御信号(ΦM1)、及び制御信号(ΦM2)、により、600dpi、300dpi、150dpiの解像度を選択して信号を読み出すことが可能な構成となっている。ただし、解像度の数値は例示であり、これに限定されないことはいうまでもない。

【0050】なお、上記の制御信号と解像度の関係を参考として以下に例示する。

【0051】

40※ロック信号とスタート信号を出力することにより光電変換装置の動作を制御する駆動手段14と、該クロック信号と該スタート信号を入力信号として用いて解像度を変換する信号を生成する信号生成手段3または、3'を有する光電変換装置と、光電変換装置に入力するクロック、スタートパルスを変調する上記駆動手段14内部の駆動パルス変調手段15と、光源13から構成されている。

【0054】次に、本実施形態の動作を説明する。

【0055】外部のCPU17から出力される、例えば、2本の信号線から入力される2ビットの解像度切り

換え信号を駆動手段14内にある駆動パルス変調手段15を用いてスタートパルスの幅を、例えば、論理回路を用いてパルス幅を増減させることにより変調する。

【0056】すなわち、駆動パルス変調手段15は、光電変換装置にHi信号を入力するのか、Lo信号を入力するのかによってスタートパルスの幅を調整する。例えば、Hi信号を入力するときには、スタートパルスのパルス幅は短く、Lo信号の場合には、Hi信号に比し、スタートパルスの幅が長く設定され、光電変換装置20に入力される。

【0057】また、駆動手段14においては、他の機能として、例えばCPU17からスキャンを開始させたり、モータ駆動を受けて光源やセンサ駆動等の駆動を行っている。また、光電変換装置20は、実施形態1で説明したものと同一である。

【0058】さらに、光電変換装置20からの出力信号は、信号処理手段16にて、例えば、波形整形、シェーディング補正や、ダーク補正等の処理がなされ、その後、処理がなされた信号はCPU17に接続された接続線によりCPU17に取り込まれる。光源13は、モノクロ画像読み出しの時は、白色光源を、カラー画像読み出しの時は、赤、緑、青の3光源を用いて、対象部に照射する。

【0059】なお、光電変換装置20に入力されるスタートパルスは、駆動パルス変調手段にて、ユーザの選択によりHiまたは、Lo信号によりスタートパルスのパルス幅を変調し入力するため、光電変換装置20は、上記実施形態1及び2において説明した動作が得られ、端子を削減して解像度切り換え手段を有する光電変換装置を有する画像入力システムを実現することができる。

【0060】

【発明の効果】以上示したように、本発明は、クロック信号とスタート信号を入力とする解像度制御信号生成手段を設けているため、上記従来技術で必要であった解像度切り換えのためのコントロール端子が不要となり、解像度切り換え機能を有さない従来の光電変換装置と同様に製造することが可能となるため、その結果、製造コストをアップせずに解像度切り換え機能を付加することが

可能となるため、その効果は絶大である。なお、将来的に多くの解像度を選択できる光電変換装置を作成することを考慮するとより一層の効果が期待できる。

【図面の簡単な説明】

【図1】本発明の実施形態1における光電変換装置の回路ブロック図である。

【図2】実施形態1に示した信号生成回路の等価回路図である。

【図3】実施形態1に示した信号生成回路のタイミングチャートである。

【図4】本発明の実施形態2における光電変換装置の回路ブロック図である。

【図5】実施形態2に示した信号生成回路のタイミングチャートである。

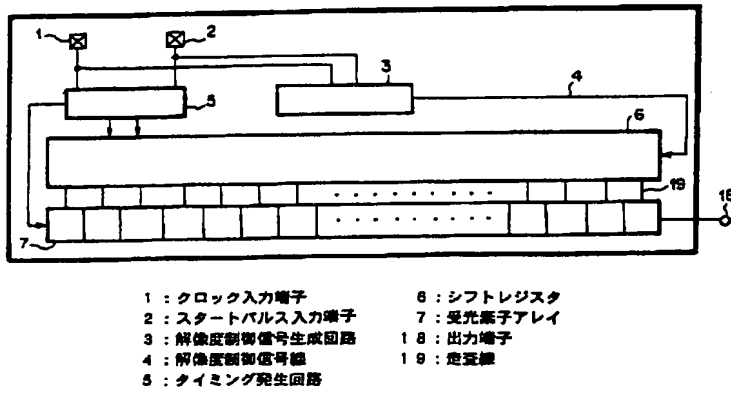
【図6】本発明の実施形態3における光電変換装置の回路ブロック図である。

【図7】従来技術の密着型イメージセンサ用集積回路の回路図である。

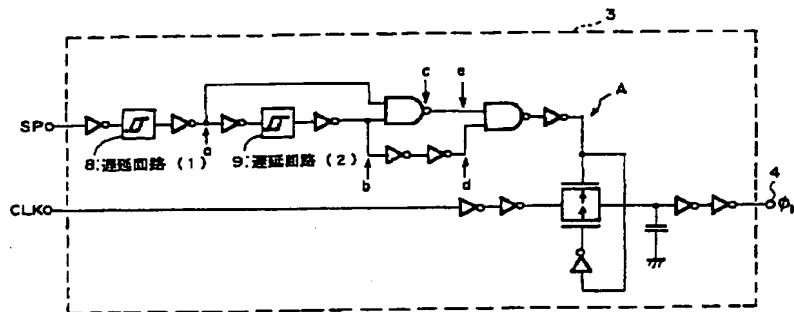
【符号の説明】

- 1 クロック (CLK) 入力端子
- 2 スタートパルス (SP) 入力端子
- 3、3' 信号生成回路
- 4 制御信号線 (ΦM)
- 5 タイミング発生回路
- 6 シフトレジスタ
- 7 受光素子アレイ
- 8 遅延回路 (1)
- 9 遅延回路 (2)
- 10 制御信号線 1 (ΦM1)
- 12 制御信号線 2 (ΦM2)
- 13 光源
- 14 駆動手段
- 15 駆動パルス変調手段
- 16 信号処理手段
- 17 CPU
- 18 出力端子
- 19 走査線

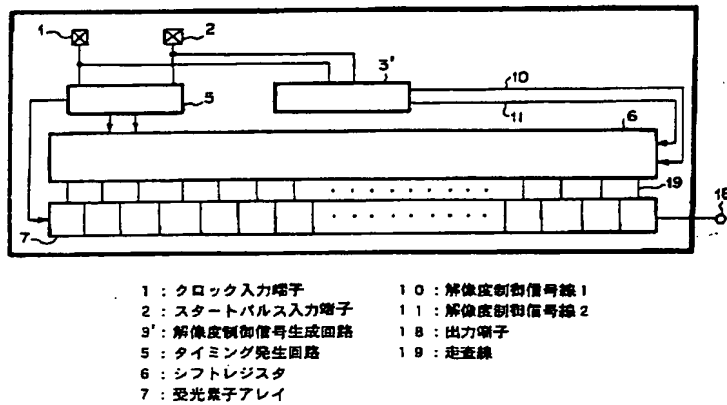
【図1】



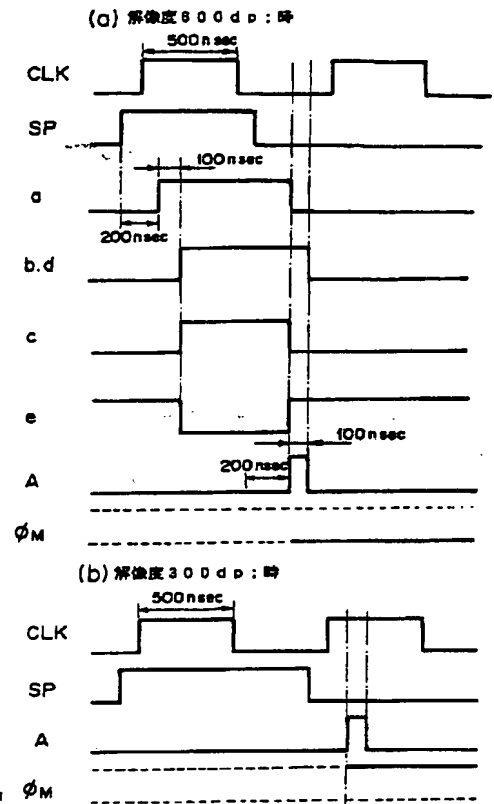
【図2】



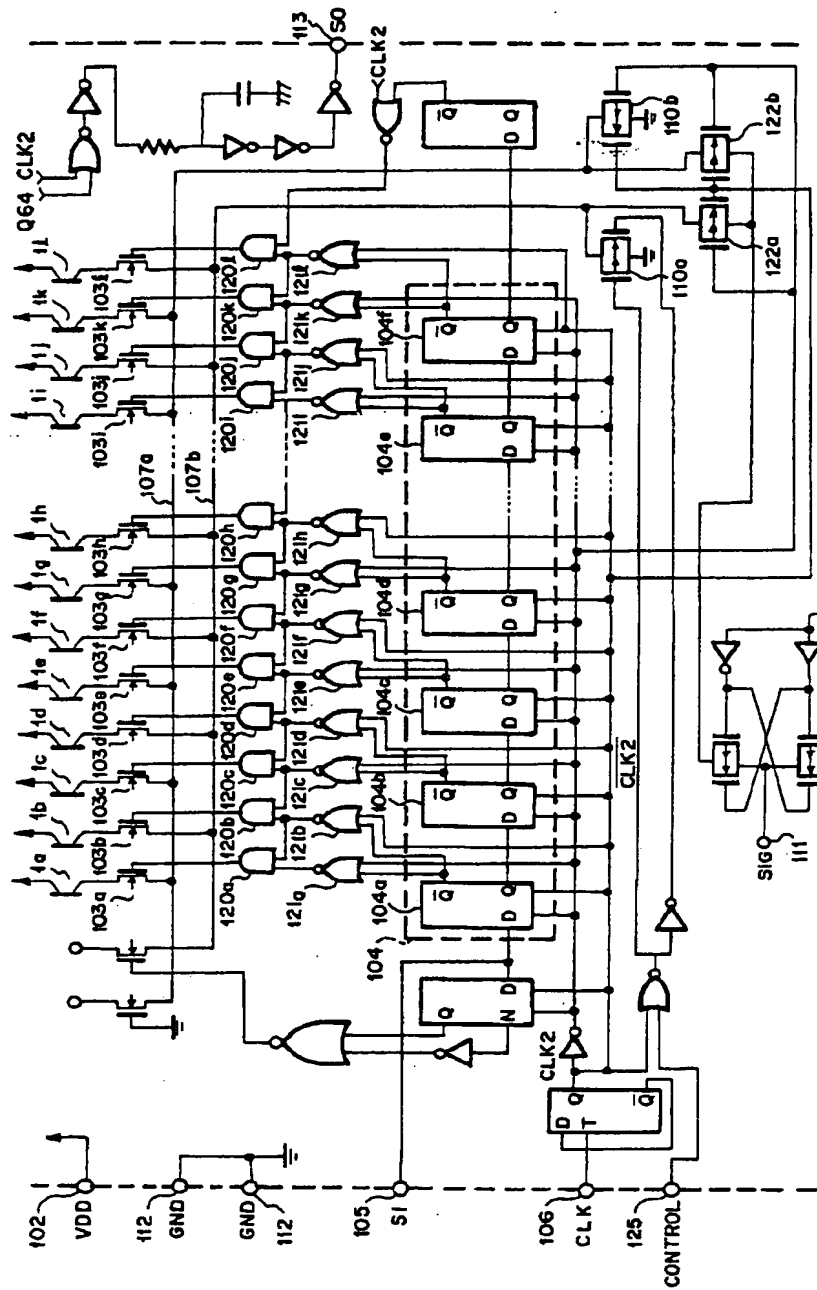
【図4】



【図3】



【図7】



- 1 a ~ 1 f : フォトセル
 103 a ~ 103 f : チャンネルセレクトスイッチ
 104 : シフトレジスタ群
 7 a, 7 b : 信号ライン
 110 a, 110 b : アナログスイッチ
 111 : 画像信号出力端子